

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-218734

(43) 公開日 平成9年(1997)8月19日

(51) IntCl.⁶

G 0 6 F 3/00

識別記号

庁内整理番号

F I

G 0 6 F 3/00

技術表示箇所

F

審査請求 未請求 請求項の数 5 O L (全 6 頁)

(21) 出願番号 特願平8-322942

(22) 出願日 平成8年(1996)12月3日

(31) 優先権主張番号 特願平7-315571

(32) 優先日 平7(1995)12月4日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 野津山 泰幸

神奈川県川崎市幸区堀川町580番1号 株

式会社東芝半導体システム技術センター内

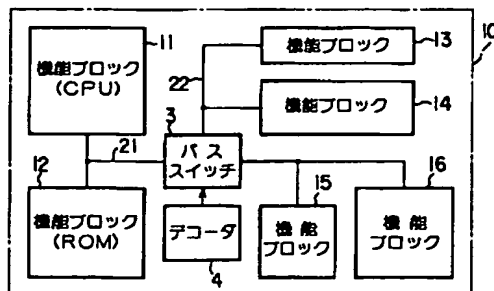
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 低消費電力データ転送バス

(57) 【要約】

【課題】データ転送バスのバス分割の仕方を実際のLSIチップ上の具体的なレイアウトと関連付けたので、バス分割の効果を低消費電力化の目的のために最大限発揮でき、しかも、バスを分割していない場合よりもバスの動作速度(データ転送速度)を向上させることができる。

【解決手段】LSIの内部の複数の機能ブロック11～1n間に設けられる1個のデータ転送バスを3個以上の複数の分割バス21～23に分割するように接続されたバススイッチ回路3と、データ転送バスの動作に際して分割バスのうちの2個を必要とする命令信号をデコードし、デコード出力により2個の分割バスを接続させるようにバススイッチ回路を制御するデコーダ回路4とを具備する。



【特許請求の範囲】

【請求項1】 LSIの内部の複数の機能ブロック間に設けられる1個のデータ転送バスを3個以上の複数の分割バスに分割するように接続されたバススイッチ回路と、

前記データ転送バスの動作に際して前記複数の分割バスのうちの2個を必要とする命令信号をデコードし、デコード出力により上記2個の分割バスを接続させるように前記バススイッチ回路を制御するデコーダ回路とを具備することを特徴とする低消費電力データ転送バス。

【請求項2】 請求項1記載の低消費電力データ転送バスにおいて、

前記バススイッチ回路は前記LSIのチップ上の所定領域に集中的に配置されしかも、前記各分割バスの負荷が非対象に構成されていることを特徴とする低消費電力データ転送バス。

【請求項3】 請求項1または2記載の低消費電力データ転送バスにおいて前記複数の機能ブロックのうちでデータ転送バスに対する平均的なアクセス頻度が最も高い機能ブロックの一対が前記複数の分割バスのうちで負荷が最も軽い1個の分割バスに接続されていることを特徴とする低消費電力データ転送バス。

【請求項4】 請求項1記載の低消費電力データ転送バスにおいて、

前記分割バスの一部をさらに3個以上の複数の分割バスに分割するように接続された第2のバススイッチ回路をさらに具備し、各バススイッチ回路は前記LSIのチップ上で分散して配置されていることを特徴とする低消費電力データ転送バス。

【請求項5】 複数のLSIを搭載するプリント配線基板上で前記複数のLSI間に設けられる1個のデータ転送バスを3個以上の複数の分割バスに分割するように接続されたバススイッチ回路と、

前記データ転送バスの動作に際して前記複数の分割バスのうちの2個を必要とする命令信号をデコードし、デコード出力により上記2個の分割バスを接続させるように前記バススイッチ回路を制御するデコーダ回路とを具備することを特徴とする低消費電力データ転送バス。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、論理LSI（大規模集積回路）、超LSIなどのLSIの内部の複数の機能ブロック間あるいは複数のLSI間に設けられるデータ転送用のバスに係り、特に低消費電力化技術が適用された低消費電力データ転送バスに関するもので、例えばマイクロプロセッサ、マイクロコントローラなどに使用されるものである。

【0002】

【従来の技術】近年、LSIの携帯用機器への搭載が盛んに行われるようになり、また、主に高性能なLSIの

発熱問題の対策としても、LSI、VLSIの低消費電力化に対する要求が著しく高まってきている。

【0003】低消費電力化の有効な技術としては、まず、動作電源電圧の低下が挙げられる一般に、LSI等における消費電力は動作電源電圧の二乗に比例するので、動作電源電圧を例えば現在の主流である5Vから最近普及している3Vに変更すればそれだけで消費電力は36%に低下する。

【0004】しかし、メーカー間の競争という側面を考えれば、低電源電圧化は低消費電力化の入口に過ぎず、アーキテクチャ、ファンクションから回路技術、プロセス技術に至るまでの全てのレベルで徹底した低消費電力化が要求される。いずれのレベルでも、不要な場合には回路を動作させない（電流を垂れ流さない）、動作速度の仕様からみて余分な駆動力（トランジスタのサイズにほぼ比例する）は削除するといった方策が有効である。

【0005】さて、一般に、マイクロプロセッサ、マイクロコントローラなどのLSIにおいては、複数の機能ブロック間でのデータ転送を可能にするバスが存在するが、上記バスは、多数の機能ブロックに接続され、LSIチップ内部の広い範囲に引き回されることが多く、バスの低消費電力化はLSI全体の低消費電力化に大きく寄与する。

【0006】従来、バスの低消費電力化技術としてはバス分割方式があった。これは、本来の1個のバスをバススイッチ回路により分割して必要な場合だけ動作させるようにするので、平均的に駆動すべき負荷容量が減少し、消費電力が低減される。

【0007】しかし、上記したバスの分割の仕方をLSIチップ上での具体的なレイアウトとの関連で考えていないので、徹底的な低消費電力化が実現されているとはいえない。また、最悪の場合、バスの全負荷を駆動する必要があるが、それを駆動するバッファからみてバススイッチ回路の向う側にある負荷は上記バススイッチ回路を介して駆動しなければならないので、バスを分割していない場合よりもバスの動作速度（データ転送速度）が低下するという問題もあった。

【0008】

【発明が解決しようとする課題】上記したように従来のデータ転送バスは、バスの分割の仕方をLSIチップ上での具体的なレイアウトとの関連で考えていないので、徹底的な低消費電力化が実現されているとはいえず、バスを分割していない場合よりもバスの動作速度（データ転送速度）が低下するという問題があった。

【0009】本発明は上記の問題点を解決すべくなされたもので、バス分割の仕方を実際のLSIチップ上あるいはLSI搭載基板上の具体的なレイアウトと関連付けることにより、バス分割の効果を低消費電力化の目的のために最大限発揮でき、しかも、バスを分割していない場合よりもバスの動作速度（データ転送速度）を向上さ

せることが可能な低消費電力データ転送バスを提供することを目的とする。

【0010】

【課題を解決するための手段】第1の発明の低消費電力データ転送バスは、LSIの内部の複数の機能ブロック間に設けられる1個のデータ転送バスを3個以上の複数の分割バスに分割するように接続されたバススイッチ回路と、前記データ転送バスの動作に際して前記複数の分割バスのうちの2個を必要とする命令信号をデコードし、デコード出力により上記2個の分割バスのみを相互に接続させるように前記バススイッチ回路を制御するデコーダ回路とを具備することを特徴とする。

【0011】第2の発明の低消費電力データ転送バスは、複数のLSIを搭載するプリント配線基板上で前記複数のLSI間に設けられる1個のデータ転送バスを1箇所、3個以上の複数の分割バスに分割するように接続されたバススイッチ回路と、前記データ転送バスの動作に際して前記複数の分割バスのうちの2個を必要とする命令信号をデコードし、デコード出力により上記2個の分割バスのみを相互に接続させるように前記バススイッチ回路を制御するデコーダ回路とを具備することを特徴とする。

【0012】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態を詳細に説明する。図1は、第1の発明の第1の実施の形態に係るLSIの低消費電力データ転送バスを示している。

【0013】図1において、LSI（例えばマイクロコントローラ）のチップ10上には、CPU、ROM、RAM、I/Oインターフェースなどの複数の機能ブロック11～16が設けられている。

【0014】そして、上記LSI内部の複数の機能ブロック11～16間に設けられる1個のデータ転送バスを3個以上の複数（本例では3個）の分割バス21～23に分割するように接続されたバススイッチ回路3が設けられている。

【0015】さらに、前記データ転送バスの動作に際して前記複数の分割バス21～23のうちの2個を必要とする命令信号（例えばCPUから供給される）をデコードしデコード出力により上記2個の分割バスのみを相互に1箇所、3個以上の複数の分割バスに分割するように接続されたバススイッチ回路3を制御するデコーダ回路4が設けられている。

【0016】なお、本例では、前記バススイッチ回路3およびデコーダ回路4が各1個設けられており、前記バススイッチ回路3はLSIチップ10上の所定領域で1箇所に集中的に配置されている。

【0017】そして、前記各分割バス21～23の負荷が非対象に構成されており、前記複数の機能ブロック11～16のうちでデータ転送バスに対する平均アクセス頻度が最も高い機能ブロックの1対（例えばCPUとR

OM）が前記複数の分割バス21～23のうちで負荷が最も軽い1個の分割バス（本例では21）に接続されている。

【0018】換言すれば、図1において、平均アクセス頻度が最も高い機能ブロックの1対が接続される1個の分割バス21は、その負荷がLSIチップ10上の複数の機能ブロック11～16のフロアレイアウトの制約条件下で最も小さくなるように構成されている。

【0019】なお、分割バスの負荷は、配線による負荷、分割バスにデータを出力する機能ブロックの出力バッファの負荷、分割バスからデータを受け取る機能ブロックの入力バッファの負荷より構成される。

【0020】また、分割バスに接続される機能ブロックのアクセス頻度は、上記分割バスにデータを出力する機能ブロックと上記分割バスからデータを受け取る機能ブロックの1対を単位として定義されるものであり、アクセス頻度のデータは、LSIをシミュレーション動作させることにより得られる。

【0021】図1の構成において、i番目の分割バスのアクセス頻度を F_i 、その負荷を L_i で表わすと、全体の消費電力 P は、 $S = \sum F_i \cdot L_i$ に比例するので、以下、上記 $\sum F_i \cdot L_i$ の最小化を考える。

【0022】ここで、 $1 = \sum F_i$ とし、番号が低い方の分割バスのアクセス頻度が番号が高い方の分割バスのアクセス頻度よりも高いものと想定すると、

$F_i > F_{(i+1)}$

が成立する。

【0023】次に、低消費電力化にとって最適に近いバス分割を行う手順について説明する。まず、最大のアクセス頻度（第1のアクセス頻度） F_1 を有する機能ブロックの1対（第1対の機能ブロック）を第1の分割バス21に接続し、この第1対の機能ブロックをLSIチップ10上のフロアレイアウトも考慮しつつ、第1の分割バス21の負荷が最小になるようにレイアウトする。

【0024】次に、前記最大のアクセス頻度を F_1 の次に高いアクセス頻度（第2のアクセス頻度） f を有する機能ブロックの1対（第2対の機能ブロック）を第1の分割バス21に接続するか、第2の分割バス22に接続すべきかを考察する。但し、上記2種類（第1対および第2対）の機能ブロックが互いにほぼ独立であれば、第2対の機能ブロックを第2の分割バス22に接続すればよいことが直観的に明らかである。

【0025】そこで、ここでは、第2対の機能ブロックの一方のブロック（例えばCPU）が第1対の機能ブロックのいずれか一方のブロックと同じである場合を考える。この際、第2対の機能ブロックの存在を考慮しなかった場合（但し、レイアウトされるべき領域は確保されているものとする）の第1の分割バス21の負荷を L_1 、第2の分割バス22のアクセス頻度を F_2 、その負荷を L_2 、第2対の機能ブロックの他方のブロックの負

荷をL1で表わすものとする。

【0026】また、第2対の機能ブロックのもう一方のブロックが第1の分割バス21に接続された場合に増加する負荷をl1、第2の分割バス22に接続された場合*

$$S1 = (F1 + f) \cdot (L1 + l1) + F2 \cdot (L1 + L2)$$

となる。

【0028】これに対して、第2対の機能ブロックを第※

$$S2 = F1 \cdot L1 + (F2 + f) \cdot (L1 + L2 + l2)$$

となる。従って、第2の分割バス22に第2対の機能ブロックを接続した方が消費電力が低くなる条件は、

$$(F2 + f) \cdot l2 + f \cdot L2 - (F1 + f) \cdot l1 < 0$$

$$f \cdot (L2 + l2 - l1) < F1 \cdot l1 - F2 \cdot l2$$

上記した条件が成立した場合には、対象となる第2対の機能ブロックを第2の分割バス22に接続した方が消費電力上有利になることが分かる。

【0029】以下、上記と同様の手順を繰り返していくことにより、全体として最小に近い消費電力のバスが構成されることになる。なお、上記した手順は、全体として最小に近い消費電力のバスを構成するためにいくつかある方法のうちの1つを示したものであることに注意すべきである。実際のマイコンなどでは、アクセス頻度の高い機能ブロック対とそうでない機能ブロック対との相違が明瞭である場合が多いので、LSIの設計者がLSIチップ10上のフロアレイアウトを考慮しながら、前記したような手順にしたがって試行錯誤的に設計してもそれほど困難なく最小に近い消費電力に到達できるものと期待できる。

【0030】但し、各機能ブロック対のアクセス頻度にあまり大きな相違がない場合には、前記したような消費電力の最小解を人手で導き出すことはかなり困難になるおそれがある。厳密に最小解を求めるには、最小解を得るための数学的テクニックを用いることも必要になる。この場合、最適化すべきパラメータが多いので、極小解に陥ってしまう場合があるので、シミュレーティッド・アニーリング法のように最小に近い解を見つけ易い方式を活用することが望ましいものと思われる。

【0031】また、バスの動作速度についての制約があれば、それも考慮する必要があるが、前記したように所望の2種類の分割バスのみが同時に動作する条件を満たすようにバススイッチ回路3を1箇所に集中配置するので、上記制約は簡単な形で表現される即ち、全てのLi、Lj (iとjとは異なる) について、Li + Lj < バスの動作速度を満たせる負荷の上限が満足されるように設計すればよい。

【0032】即ち、上記したような第1の実施の形態に係るLSIの低消費電力データ転送バスによれば、バス分割の仕方を実際のLSIチップ10上の具体的なレイアウトと関連付けることにより、バス分割の効果を低消費電力化の目的のために最大限発揮でき、しかも、バスを分割していない場合よりもバスの動作速度（データ転

*に増加する負荷をl2で表わすものとする。

【0027】いま、第2対の機能ブロックを仮に第1の分割バス21に接続した場合に増加する消費電力に比例する量は、

※2の分割バス22に接続した場合に増加する消費電力に比例する量は、

$$\star S2 - S1 < 0$$

★10 つまり、

送速度)をある程度向上させることが可能になる。

【0033】図2は、図1中のバススイッチ回路3の1ビット分の一具体例を示している。図2において、第1の分割バス21と第2の分割バス22との間には、第1のCMOSスイッチ回路31が接続され、第2の分割バス22と第3の分割バス23との間には、第2のCMOSスイッチ回路32が接続され、第3の分割バス23と第1の分割バス21との間には、第3のCMOSスイッチ回路33が接続されている。

【0034】なお、上記第1のCMOSスイッチ回路31は、第1のPMOSTランジスタP1と第1のNMOSTランジスタN1とからなるトランスミッションゲート、第2のCMOSスイッチ回路32は、第2のPMOSTランジスタP2と第2のNMOSTランジスタN2とからなるトランスミッションゲート、第3のCMOSスイッチ回路33は、第3のPMOSTランジスタP3と第3のNMOSTランジスタN3とからなるトランスミッションゲートが用いられている。

【0035】そして、第1の分割バス21と第2の分割バス22とを接続制御するための第1の制御信号EN12は、第1のNMOSTランジスタN1のゲートに供給されるとともに第1のインバータ回路34により反転された後に第1のPMOSTランジスタP1のゲートに供給される。

【0036】第2の分割バス22と第3の分割バス23とを接続制御するための第2の制御信号EN23は、第2のNMOSTランジスタN2のゲートに供給されるとともに第2のインバータ回路35により反転された後に第2のPMOSTランジスタP2のゲートに供給される。

【0037】第3の分割バス23と第1の分割バス21とを接続制御するための第3の制御信号EN31は、第3のNMOSTランジスタN3のゲートに供給されるとともに第3のインバータ回路36により反転された後に第3のPMOSTランジスタP3のゲートに供給される。

【0038】上記各制御信号EN12～EN31は、それぞれ対応する2個の分割バスを接続すべき時に活性状

態（本例では“H”レベル）になり、そうでない時には非活性状態（本例では“L”レベル）になる。

【0039】なお、前記各CMOSスイッチ回路31～33は、前記したようなトランスマッションゲートに限定されるものではなく、他の構成に変更してもよい。また、図3にも示したように、ある分割バス22に接続される機能ブロックのグループと、他の分割バス23に接続される機能ブロックのグループとの間にアクセスが全くない場合、前記のスイッチ回路は不要である。

【0040】図4は、第1の発明の第2の実施の形態に係るLSIの低消費電力データ転送バスを示している。図4に示す低消費電力データ転送バスは、図1に示した低消費電力データ転送バスと比べて、分割バスの一部

（本例では23）がさらに第2のバススイッチ回路3aにより3個以上の複数の分割バス232～233に分割するように接続され、新たに分割されたバスには機能ブロック17～20が接続されている。また上記第2のバススイッチ回路3aに対応して第2のデコーダ回路4aが設けられており、各バススイッチ回路3、3aはLSIのチップ上で分散して配置されている点が異なり、その他は同じであるので図1中と同一符号を付している。

【0041】上記第2の実施の形態によれば、第1の実施の形態と比べて、基本的には同様の効果が得られるが、使用素子数が増大する分だけ消費電力が増大する。しかしLSIチップ上でのレイアウト上、第1の実施の形態のようにバススイッチ回路を1箇所に配置するとパターン面積が増加してしまう場合には、上記パターン面積の増加と消費電力の増大とのトレードオフによって第2の実施の形態の採用を決定すればよい。

【0042】図5は、第2の発明の実施の形態に係るLSI搭載基板上の低消費電力データ転送バスを示している。図5に示す低消費電力データ転送バスは、複数のLSI41～46を搭載するプリント配線基板40上で前記複数のLSI間に設けられる1個のデータ転送バスを3個以上の複数の分割バス421～423に分割するように接続されたバススイッチ回路43と、前記データ転送バスの動作に際して前記複数の分割バスのうちの2個を必要とする命令信号をデコードし、デコード出力により上記2個の分割バスのみを相互に接続させるように前

記バススイッチ回路を制御するデコーダ回路44とを具備する。上記第2の発明の実施の形態においても、前記第1の発明の第1の実施の形態と同様の動作により同様の効果が得られる。

【0043】

【発明の効果】上述したように本発明の低消費電力データ転送バスによれば、バス分割の仕方を実際のLSIチップ上あるいはLSI搭載基板上の具体的なレイアウトとバスに接続された機能ブロック間のアクセス頻度とを関連付けたので、バス分割の効果を低消費電力化の目的のために最大限発揮でき、しかも、バスを分割していない場合よりもバスの動作速度（データ転送速度）を向上させることができる。

【図面の簡単な説明】

【図1】 第1の発明の第1の実施の形態に係る低消費電力データ転送バスを示すブロック図。

【図2】 図1中のバススイッチ回路の1ビット分の一具体例を示す回路図。

【図3】 図2において、互いにアクセスのない分割バスを含む場合の回路図。

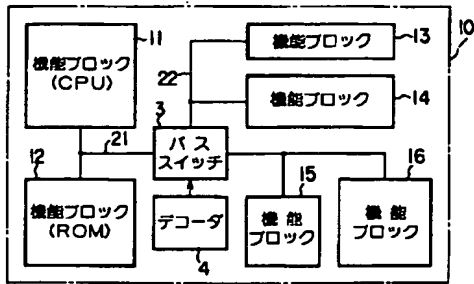
【図4】 第1の発明の第2の実施の形態に係る低消費電力データ転送バスを示すブロック図。

【図5】 第2の発明の実施の形態に係る低消費電力データ転送バスを示すブロック図。

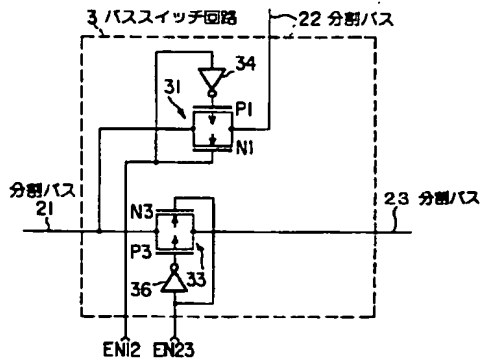
【符号の説明】

- 10…LSIチップ、
- 11～20…機能ブロック、
- 21～23…分割バス、
- 3…バススイッチ回路、
- 4…デコーダ回路、
- 232～233…分割バス、
- 3a…第2のバススイッチ回路、
- 4a…第2のデコーダ回路、
- 40…LSI搭載基板、
- 41～46…LSI、
- 421～423…分割バス、
- 43…バススイッチ回路、
- 44…デコーダ回路。

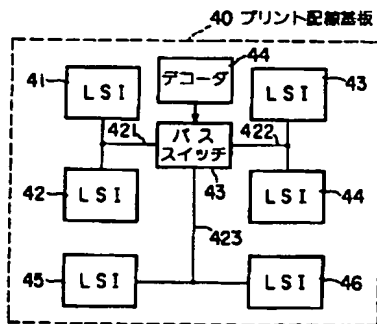
【図1】



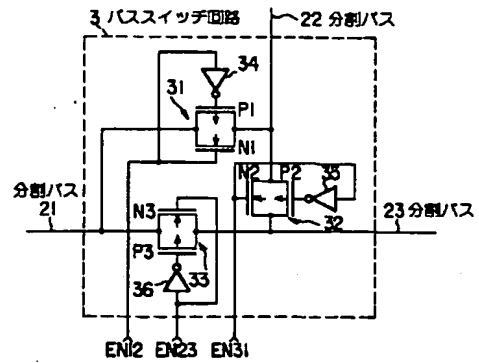
【図3】



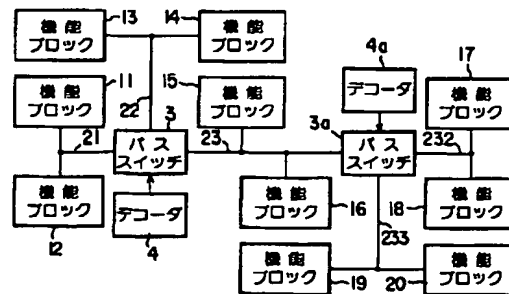
【図5】



【図2】



【図4】



English Translation of Japanese Laid-Open Patent Application
NO. 9-218734

(54) [TITLE OF THE INVENTION]

LOW-POWER CONSUMPTION DATA TRANSFER BUS

(57) [ABSTRACT]

[TASK]

Since how to divide a data transfer bus is related to a specific layout on an actual LSI chip, it is possible to exercise an effect of the bus division to the fullest in order to lower the power consumption and further, it is possible to increase the operational speed (i.e., a data transfer speed) of the bus than in the case that the bus is not divided.

[SOLUTION]

The present invention is provided with a bus switch circuit 3 which is connected in such a manner that one data transfer bus to be provided between a plurality of functional blocks 11 to 1n within a LSI is divided into three or more divisional buses 21 to 23 and a decoder circuit 4 which decodes a command signal requiring two of the above divisional buses on the occasion of the operation of the data transfer bus and controls a bus switch circuit so that two divisional buses are connected by the decode output.

[WHAT IS CLAIMED IS]

1. A low-power consumption data transfer bus comprising:
a bus switch circuit which is connected in such a manner that one data transfer bus to be provided between a plurality of

functional blocks within a LSI is divided into three or more divisional buses; and

a decoder circuit which decodes a command signal requiring two of the plural divisional buses on the occasion of the operation of the data transfer bus and controls the bus switch circuit so that the foregoing two divisional buses are connected with each other by the decode output.

2. A low-power consumption data transfer bus according to claim 1,

wherein the bus switch circuit is intensively arranged in a certain range on the LSI chip and further, the loads of the respective divisional buses are constructed in an unsymmetrical manner.

3. A low-power consumption data transfer bus according to claim 1 or 2,

wherein a pair of the functional blocks having the highest frequency of access to the data transfer bus in average among the plural functional blocks is connected to a pair of divisional buses having the lightest load among the plural divisional buses.

4. A low-power consumption data transfer bus according to claim 1,

wherein the low-power consumption data transfer bus further comprises a second bus switch circuit, which is connected to a portion of the divisional bus so that the portion of the divisional bus is further divided into three and more divisional buses and respective bus switch circuits are

arranged with dispersed on a chip of the LSI.

5. A low-power consumption data transfer bus comprising:
a bus switch circuit which is connected in such a manner that one data transfer bus to be provided between the plural LSIs on a printed wiring assembly, in which a plurality of LSIs is incorporated, is divided into three or more divisional buses; and

a decoder circuit which decodes a command signal requiring two of the plural divisional buses on the occasion of the operation of the data transfer bus and controls the bus switch circuit so that the foregoing two divisional buses are connected with each other by the decode output.

[DETAILED DESCRIPTION OF THE INVENTION]

[0001]

[TECHNICAL FILED TO WHICH THE INVENTION PERTAINS]

The present invention relates to a bus for transferring the data, which is provided between a plurality of functional blocks of a LSI such as a logical LSI (a large scale integrated circuit) and a very-large-scale integration circuit or the like or between a plurality of LSIs and the present invention particularly relates to a low-power consumption data transfer bus to which a low-power consumption technology is applied. For example, the present invention is used for a microprocessor and a microcontroller or the like.

[0002]

[PRIOR ART]

In recent years, a LSI is frequently installed in a

portable appliance. Additionally, mainly, as a countermeasure against heat generation of a high performance LSI, demand for low-power consumption of a LSI and a VLSI has been remarkably increased.

[0003]

As an effective low-power consumption art, at first, it is cited to lower an operating power supply voltage. Generally, the electric power consumption in the LSI or the like is in proportion to square of the operating power supply voltage, so that the electric power consumption is lowered to 36% only if, for example, the operating power supply voltage is changed from 5V as a present mainstream to 3V which has been widely used recently.

[0004]

However, in consideration of an aspect, namely, a competition between the manufactures, to lower the power supply voltage is merely an introduction to the low-power consumption and the low-power consumption, which is complete at all levels in an architecture, a function, a circuit technology and a process art, is required. At any level, a method is effective such that the circuit is not operated if not necessary (i.e., the current is not discharged untreatably) and a driving force which is superfluous in view of a specification of an operating speed (it is almost in proportion to a size of a transistor) is deleted.

[0005]

Generally, there is a bus capable of transferring the data

between a plurality of functional blocks in a LSI such as a microprocessor and a microcontroller or the like. In many cases, the foregoing bus is connected to many functional blocks to be lead within a wide range in an interior of a LSI chip, so that the low-power consumption of the bus extremely contributes to the low-power consumption of the entire LSI.

[0006]

Conventionally, as a low-power consumption art for a bus, there has been a bus dividing system. This system serves to divide original one bus by a bus switch circuit and to operate it only in the case of necessary, so that a loading capacity to be driven is decreased in average and the power consumption is also decreased.

[0007]

However, how to divide a data transfer bus described above is not related to a specific layout on an actual LSI chip, so that it can be hardly said that the low-power consumption is completely realized. Alternatively, in the worst case, it is necessary to drive the entire load of the bus and a load at the opposite side of the bus switch circuit viewed from the buffer to drive the entire load of the bus is needed to be driven via the foregoing bus switch circuit. Therefore, this involves a problem such that the operation speed (the data transfer speed) of the bus is lowered than in the case that the bus is not divided.

[0008]

[TASK TO BE SOLVED BY THE INVENTION]

As described above, according to the conventional data

transfer bus, how to divide a data transfer bus is not related to a specific layout on an actual LSI chip, so that it can be hardly said that the low-power consumption is completely realized. Therefore, this involves a problem such that the operation speed (the data transfer speed) of the bus is lowered than in the case that the bus is not divided.

[0009]

The present invention has been made taking the foregoing problems into consideration and an object of which is to provide a low-power consumption data transfer bus capable of exercising an effect of the bus division to the fullest in order to lower the power consumption and capable of increasing the operational speed (i.e., a data transfer speed) of the bus than in the case that the bus is not divided by relating how to divide a data transfer bus to a specific layout on an actual LSI chip or on a LSI onboard circuit board.

[0010]

[SOLUTION FOR THE TASK]

A low-power consumption data transfer bus according to a first invention comprises a bus switch circuit which is connected in such a manner that one data transfer bus to be provided between a plurality of functional blocks within a LSI is divided into three or more divisional buses; and a decoder circuit which decodes a command signal requiring two of the plural divisional buses on the occasion of the operation of the data transfer bus and controls the bus switch circuit so that the foregoing two divisional buses are connected with each other

by the decode output.

[0011]

A low-power consumption data transfer bus according to a second invention comprises a bus switch circuit which is connected in such a manner that one data transfer bus to be provided between the plural LSIs on a printed wiring assembly, in which a plurality of LSIs is incorporated, is divided into three or more divisional buses; and a decoder circuit which decodes a command signal requiring two of the plural divisional buses on the occasion of the operation of the data transfer bus and controls the bus switch circuit so that the foregoing two divisional buses are only connected with each other by the decode output.

[0012]

[MODE FOR CARRYING OUT THE INVENTION]

Embodiments of the present invention will be explained in detail with reference to the drawings below. FIG. 1 shows a low-power consumption data transfer bus of a LSI according to a first embodiment of a first invention.

[0013]

In FIG. 1, on a chip 10 of a LSI (for example, a microcontroller), a plurality of functional blocks 11 to 16 such as a CPU, a ROM, a RAM and an I/O interface or the like is provided.

[0014]

Then, a bus switch circuit 3 is provided with connected in such a manner that one data transfer bus to be provided between

a plurality of functional blocks 11 to 16 within the foregoing LSI is divided into three or more divisional buses 21 to 23 (in the present invention, three buses).

[0015]

Further, a decoder circuit 4 is provided which decodes a command signal (for example, it is supplied from the CPU) requiring two of the foregoing plural divisional buses 21 to 23 on the occasion of the operation of the foregoing data transfer bus and controls the foregoing bus switch circuit 3 so that the foregoing two divisional buses are only connected with each other at one place by the decode output.

[0016]

According to the present embodiment, one bus switch circuit 3 and one decoder circuit 4 are provided, respectively and the bus switch circuit 3 is intensively arranged at one place in a certain range on the LSI chip 10.

[0017]

Then, the loads of the respective divisional buses 21 to 23 are constructed in an unsymmetrical manner. A pair of the functional blocks which access the data transfer bus most frequently among the foregoing plural functional blocks 11 to 16 (for example, the CPU and the ROM) is connected to one divisional bus (according to the present embodiment, 21) of which load is most light among the foregoing plural divisional buses 21 to 23.

[0018]

In other words, in FIG. 1, one divisional bus 21, to which

a pair of the functional blocks having the highest frequency of access to the data transfer bus in average is connected, is constructed so that its load becomes smallest under a restriction of a floor layout of a plurality of functional blocks 11 to 16 on the LSI chip 10.

[0019]

Alternatively, the load of the divisional bus consists of a load by wiring, a load of an output buffer of a functional block for outputting the data to the divisional bus and a load of the input buffer of the functional block which receives the data from the divisional bus.

[0020]

Alternatively, the access frequency of the functional block to be connected to the divisional bus is defined in units of a pair of the functional block to output the data to the foregoing divisional bus and the functional block to receive the data from the foregoing divisional bus and the data with respect to the access frequency is obtained by allowing the LST to operate in a simulation.

[0021]

In a constitution shown in FIG. 1, if the access frequency of a i th divisional bus is represented as F_i and its load is represented as L_i , the entire power consumption P is in proportion to $S = \sum F_i \cdot L_i$. Therefore, it is considered to minimize the foregoing $\sum F_i \cdot L_i$.

[0022]

In this case, assuming that $1 = \sum F_i$ and the access

frequency of the divisional bus of the lower number is higher than the access frequency of the divisional bus of the higher number, $F_i > F(i + 1)$ is established.

[0023]

In the next place, a procedure for performing the bus division, which is almost most appropriate for the low-power consumption, will be explained below. At first, a pair of the functional blocks (a first pair of functional blocks) having the highest access frequency (a first access frequency) F_1 is connected to a first divisional bus 21. Then, as taking account of a floor layout on the LSI chip 10, this first pair of functional blocks is laid out so that the load of the first divisional bus 21 becomes the smallest.

[0024]

After that, it is considered whether a pair of functional blocks (a second pair of functional blocks) having the access frequency (a second access frequency) f which is higher next to the foregoing highest access frequency F_1 is connected to the first divisional bus 21 or to a second divisional bus 22. However, if the foregoing two kinds of functional blocks (the first pair of functional blocks and the second pair of functional blocks) are almost independent with each other, it is known by intuition that the second pair of functional blocks may be connected to the second divisional bus 22.

[0025]

Therefore, it is herein considered that one block of the second pair of functional blocks (for example, the CPU) is the

same as any one block of the first pair of functional blocks. In this case, it is assumed that a load of the first divisional bus 21 in the case that the existence of the second pair of functional blocks is not considered (however, it is assumed that an area to be laid out is secured) is represented as L1, the access frequency of the second divisional bus 22 is represented as F2, its load is represented as L2 and a load of other one block of the second pair of functional blocks is represented as L1.

[0026]

Alternatively, it is assumed that a load to be increased in the case that other one block of the second pair of functional blocks is connected to the first divisional bus 21 is represented as l1 and a load to be increased in the case that other one block of the second pair of functional blocks is connected to the second divisional bus 22 is represented as l2.

[0027]

At this moment, an amount in proportion to the consumption power to be increased in the case that the second pair of functional blocks is tentatively connected to the first divisional bus 21 is expressed by

$$S1 = (F1 + f) \cdot (L1 + l1) + F2 (L1 + L2).$$

[0028]

On the contrary, an amount in proportion to the consumption power to be increased in the case that the second pair of functional blocks is connected to the first divisional bus 22 is expressed by

$$S2 = F1 \cdot L1 + (F2 + f) \cdot (L1 + L2 + 12).$$

Accordingly, a condition that the power consumption is lower in the case that the second pair of functional blocks is connected to the second divisional bus 22 is expressed by

$$10S2 - S1 < 0, \text{ namely,}$$

$$(F2 + f) \cdot 12 + f \cdot L2 - (F1 + f) \cdot 11 < 0,$$

$$f \cdot (L2 + 12 - 11) < F1 \cdot 11 - F2 \cdot 12.$$

In the case that the foregoing conditions are met, it is found that it is advantageous for the power consumption when the second pair of functional blocks as a subject is connected to the second divisional bus 22.

[0029]

By repeating the procedures as same as the above, a bus having a power consumption which is almost smallest in totally is constructed. Additionally, it should be noted that the above described procedure indicates one of some methods in order to construct a bus having a power consumption that is almost smallest in totally. It is often the case that the difference between the functional block pair having the higher access frequency and the functional block pair having the lower access frequency is obvious in an actual icon or the like. Therefore, it can be expected that the LSI attains the power consumption which is almost smallest without many difficulties even if an architect of the LSI architects the low-power consumption data transfer bus in accordance with the above mentioned procedure by trial and error in consideration of a floor layout on the LSI chip 10.

[0030]

However, in the case that there is not much difference in the access frequency of each functional blocks pair, it is feared that it becomes very hard to obtain the above mentioned smallest solution of the power consumption by labor. In order to obtain the smallest solution exactly, it may be necessary to use a mathematical technique for obtaining the minimum solution. In this case, since there are many parameters to be optimized, a very small solution is obtained. Therefore, it is desirable to use a simulated annealing method whereby a solution that approximates the smallest solution is easily found.

[0031]

Alternatively, if there are restrictions in the operational speed of the bus, the restrictions are necessary to be considered. However, as described above, the bus switch circuit 3 is intensively arranged at one place so that the desirable two kinds of divisional buses only meet the operational conditions, so that the above restrictions are simply represented. In other words, the low-power consumption data transfer bus may be architected so that the higher limit of the load to meet $L_i + L_j < \text{the operational speed of the bus}$ can be met with respect to all L_i and all L_j (i is different from j).

[0032]

After all, according to the low-power consumption data transfer bus of the LSI according to the first embodiment as

described above, it is possible to exercise an effect of the bus division to the fullest in order to lower the power consumption and to increase the operational speed (i.e., a data transfer speed) of the bus to some extent than in the case that the bus is not divided by relating how to divide a data transfer bus to a specific layout on the actual LSI chip 10.

[0033]

FIG. 2 shows one specific example for one bit of the bus switch circuit 3 shown in FIG. 1. In FIG. 2, a first CMOS switch circuit 31 is connected between the first divisional bus 21 and the second divisional bus 22, a second CMOS switch circuit 32 is connected between the second divisional bus 22 and the third divisional bus 23 and a third CMOS switch circuit 33 is connected between the third divisional bus 23 and the first divisional bus 21.

[0034]

Alternatively, as the foregoing first CMOS switch circuit 31, a transmission gate consisting of a first PMOS transistor P1 and a first NMOS transistor N1 is used, as the second CMOS switch circuit 32, a transmission gate consisting of a second PMOS transistor P2 and a second NMOS transistor N2 is used and as the third CMOS switch circuit 33, a transmission gate consisting of a third PMOS transistor P3 and a third NMOS transistor N3 is used.

[0035]

Then, a first control signal EN12 for controlling the connection of the first divisional bus 21 and the second

divisional bus 22 is supplied to a gate of the first NMOS transistor N1 as well as it is supplied to the first PMOS transistor P1 after being inverted by a first inverter circuit 34.

[0036]

A second control signal EN23 for controlling the connection of the second divisional bus 22 and the third divisional bus 23 is supplied to a gate of the second NMOS transistor N2 as well as it is supplied to the second PMOS transistor P2 after being inverted by a second inverter circuit 35.

[0037]

A third control signal EN31 for controlling the connection of the third divisional bus 23 and the first divisional bus 21 is supplied to a gate of the third NMOS transistor N3 as well as it is supplied to the third PMOS transistor P3 after being inverted by a third inverter circuit 36.

[0038]

The foregoing respective control signals EN12 to EN31 are activated (according to the present embodiment, a "H" level) at a time when they have to connect the corresponding two divisional buses, respectively and they are inactivated (according to the present embodiment, a "L" level) at a time when they do not have to connect the corresponding two divisional buses.

[0039]

Alternatively, the foregoing respective CMOS switch circuits 31 to 33 are not limited to the above mentioned transmission gate and they may be changed into other constitutions. Additionally, as shown in FIG. 3, in the case that there is no access between a group of functional blocks to be connected to one divisional bus 22 and a group of functional blocks to be connected to other divisional bus 23, the foregoing switch circuit is not necessary.

[0040]

FIG. 4 shows a low- power consumption data transfer bus of a LSI according to a second embodiment of the first invention. Compared to the low- power consumption data transfer bus shown in FIG. 1, according to the low- power consumption data transfer bus shown in FIG. 4, a portion of the divisional bus (according to the present embodiment, 23) is further connected to a second bus switch circuit 3a so that it is divided into three and more divisional buses 232 to 233 by the second bus switch circuit 3a and functional blocks 17 to 20 are connected to the newly divided buses. The low-power consumption data transfer bus shown in FIG. 4 is different from the low-power consumption data transfer bus shown in FIG. 1 in that a second decoder circuit 4a is provided in association with the foregoing second bus switch circuit 3a and respective bus switch circuits 3 and 3a are arranged with dispersed on a chip of the LSI. Except for this point, the low- power consumption data transfer bus shown in FIG. 4 is the same as the low- power consumption data transfer bus shown in FIG. 1, so that the same reference numerals as those

in FIG. 1 are provided in FIG. 4.

[0041]

According to the above described second embodiment, compared to the first embodiment, although the same effect is obtained basically, the power consumption is increased by just that much that the number of elements to be used is increased. However, in the case that the pattern area is increased if the bus switch circuit is arranged at one place in consideration of the layout on the LSI chip as the first embodiment, it may be decided whether the second embodiment is employed or not depending on trade off of the incrementation of the foregoing pattern area and the incrementation of the power consumption.

[0042]

FIG. 5 shows a low- power consumption data transfer bus on a LSI onboard circuit board according to an embodiment of the second invention. The low- power consumption data transfer bus shown in FIG. 5 comprises a bus switch circuit 43 which is connected in such a manner that one data transfer bus to be provided between the plural LSIs on a printed wiring assembly 40, in which plural LSIs 41 to 46 are incorporated, is divided into three or more divisional buses 421 to 423; and a decoder circuit 44 which decodes a command signal requiring two of the plural divisional buses on the occasion of the operation of the data transfer bus and controls the bus switch circuit so that the foregoing two divisional buses are only connected with each other by the decode output. According to the above described embodiment of the second invention, it is also possible to

obtain the same effect as that of the above described first embodiment of the first invention by the same operation as that of the first embodiment of the first invention.

[0043]

[EFFECT OF THE INVENTION]

As described above, according to the low-power consumption data transfer bus of the present invention, since how to divide a data transfer bus is related to a specific layout on an actual LSI chip or on a LSI onboard circuit board and to the access frequency between the functional blocks which are connected to the bus, it is possible to exercise an effect of the bus division to the fullest in order to lower the power consumption and further, it is possible to increase the operational speed (i.e., a data transfer speed) of the bus than in the case that the bus is not divided.

[BRIEF EXPLANATION OF THE DRAWINGS]

[FIG. 1]

FIG. 1 is a block diagram for showing a low-power consumption data transfer bus according to a first embodiment of a first invention.

[FIG. 2]

FIG. 2 is a circuit diagram for showing one specific example for one bit of a bus switch circuit shown in FIG. 1.

[FIG. 3]

FIG. 3 is a circuit diagram in the case that the circuit shown in FIG. 2 includes divisional buses having no access with each other.

[FIG. 4]

FIG. 4 is a block diagram for showing a low-power consumption data transfer bus according to a second embodiment of a first invention.

[FIG. 5]

FIG. 5 is a block diagram for showing a low-power consumption data transfer bus according to an embodiment of a second invention.

[EXPLANATION OF REFERENCE NUMERALS]

10 ... LSI chip
11 to 20 ... functional block
21 to 23 ... divisional bus
3 ... bus switch circuit
4 ... decoder circuit
232 to 233 ... divisional bus
3a ... second bus switch circuit
4a ... second decoder circuit
40 ... LSI onboard circuit board
41 to 46 ... LSI
421 to 423 ... divisional bus
43 ... bus switch circuit
44 ... decoder circuit

FIG. 1

3: bus switch
4: decoder
11: functional block (CPU)
12: functional block (ROM)
13: functional block
14: functional block
15: functional block
16: functional block

FIG. 2

3: bus switch circuit
21: divisional bus
22: divisional bus
23: divisional bus

FIG. 3

3: bus switch circuit
21: divisional bus
22: divisional bus
23: divisional bus

FIG. 4

3: bus switch
3a: bus switch
4: decoder
4a: decoder

11: functional block (CPU)
12: functional block (ROM)
13: functional block
14: functional block
15: functional block
16: functional block
17: functional block
18: functional block
19: functional block
20: functional block

FIG. 5

40: print wiring board
43: bus switch
44: decoder